



# KOREAN PATENT ABSTRACTS(KR)

**Document Code:**A

(11) **Publication No.**1020000017149 (43) **Publication Date.** 20000325

(21) **Application No.**1019990032317 (22) **Application Date.** 19990806

(51) **IPC Code:**

H01L 29/78

(71) **Applicant:**

INTERNATIONAL BUSINESS MACHINES CORPORATION

(72) **Inventor:**

HANAPI HUSEIN ABRAHIM

LEE, YOUNGHOON

WANHSING JEN

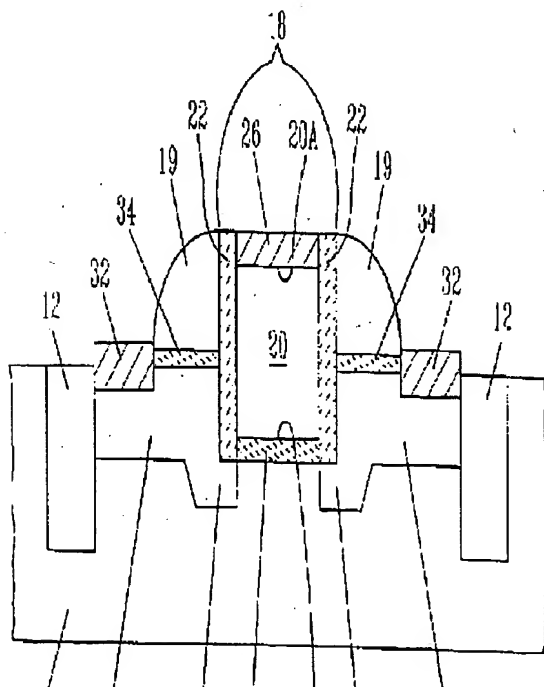
(30) **Priority:**

98 136324 19980819 US

(54) **Title of Invention**

RECESSED CHANNEL/GATE METAL OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTOR STRUCTURE AND METHOD OF FABRICATING THE SAME

**Representative drawing**



(57) **Abstract:**

**PURPOSE:** A recessed channel/gate MOSFET structure is provided to have a gate dimension of 0.1 micrometer or below 0.1 micrometer.

**CONSTITUTION:** The MOSFET structure comprises a semiconductor substrate (10) having a plurality of shallow trench isolation regions (12). Field effect transistors exist between adjacent shallow trench isolation regions respectively, and have a source and a drain region (14, 16) spaced by a gate region, respectively. The gate region comprises a poly gate region (20) between oxide spacers (22), which has a metal contact region (26) on its upper surface. The poly gate region (20) has a gate oxide region (24) on its lower surface which is

AP

13 14 30 24 260 30 16

buried in the semiconductor wafer.  
The source and drain regions (14, 16)  
surround around the oxide spacers and  
have an extension part which provides  
a contact for a channel region under  
the gate oxide region.

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 29/78		(45) 공고일자 (11) 등록번호 (24) 등록일자	2002년07월19일 10-0344733 2002년07월02일
(21) 출원번호 (22) 출원일자	10-1999-0032317 1999년08월06일	(65) 공개번호 (43) 공개일자	특2000-0017149 2000년03월25일
(30) 우선권주장 (73) 특허권자	09/136,324 1998년08월19일 미국(US) 인터내셔널 비지네스 머신즈 코포레이션		
(72) 발명자	미국 10504 뉴욕주 아몬크 하나파후세인아이브라힘 미국07920뉴저지주바스킹릿지겔로핑힐로드80 이영훈 미국10589뉴욕주소머스팔마로드3 완희상젠 미국10510뉴욕주브리아르클리프마너라이더로드3 김창세, 장성구, 김원준		
(74) 대리인	김창세, 장성구, 김원준		

심사관 : 임동우

(54) 리세스된 채널/게이트 금속 산화물 반도체 전계 효과 트랜지스터 구조체

요약

본 발명의 MOSFET 구조는 다수의 얇은 트렌치 격리 영역이 매립된 반도체 웨이퍼를 포함하는데, 각각의 인접한 얇은 트렌치 격리 영역 사이에는 게이트 영역에 의해 서로 떨어져 있는 소스 및 드레인 영역을 포함하는 전계 효과 트랜지스터가 존재하는데, 게이트 영역은 산화물 스페이서 사이에 위치한 폴리 게이트 영역을 포함하되, 폴리 게이트 영역은 그 상부 표면 상에 금속 콘택트 영역을 갖고 반도체 웨이퍼 내에 매립된 그 하부 표면 상에 게이트 산화물 영역을 가지는데, 소스 및 드레인 영역은 산화물 스페이서 주위를 감싸며 게이트 산화물 영역 밑에 위치한 채널 영역에 대한 접속을 제공하는 확장부를 갖는다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 따른 MOSFET 구조의 단면도,  
도 2는 본 발명의 제 2 실시예에 따른 MOSFET 구조의 단면도,  
도 3a 내지 3f는 본 발명의 상이한 공정 단계 동안의 도 1의 구조를 도시하는 단면도,  
도 4a 내지 4f는 본 발명의 상이한 공정 단계 동안의 도 2의 구조를 도시하는 단면도.

도면의 주요 부분에 대한 부호의 설명

10: 반도체 기판 또는 웨이퍼  
12: 얇은 트렌치 격리(shallow trench isolation: STI) 영역  
14, 16: 소스 및 드레인 영역 19: 절화물 이중 스페이서  
20: 폴리 게이트 영역 22: 산화물 스페이서  
24: 게이트 산화물 영역 26: 금속 콘택트 영역  
30: 확장부 또는 접합부 32: 금속 콘택트  
34: 패드 산화물층 36: 유전층

발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 리세스된(recessed) 채널/게이트를 구비하며 소스/드레인 영역과 인접한 게이트 채널 영역을 접속하는 매립된 소스/드레인 확장부를 구비하는 금속 산화물 반도체 전계 효과 트랜지스터(metal oxide semiconductor field effect transistor: MOSFET)에 관한 것이다. 본 발명은 또한 채널을 통해 소스로부터 드레인으로의 완전한 접속을 갖는 그와 같은 MOSFET의 자기정렬(self-aligned) 제조 공정에 관계된다.

현재의 상보형 금속 산화물 반도체(complementary metal oxide semiconductor: CMOS) 기술에 의하면, 100 nm 깊이의 소스/드레인 접합부를 갖는 5 nm 두께의 얇은 게이트 산화물 위의 최소 유효 게이트 길이가 약 0.25  $\mu\text{m}$ 인 MOSFET 디바이스를 제조할 수 있다. 차세대 CMOS 기술은 궁극적으로 단 채널 효과(short channel effect)를 피하면서도 더 빠른 스위칭 속도와 더 조밀한 패키징 요구 조건을 만족시키기 위해 서브-0.1  $\mu\text{m}$ 의 게이트 길이와 20 nm 미만의 소스/드레인 접합부 깊이를 필요로 할 것이다. 이들 목적을 달성하기 위해 현재의 CMOS 기술을 진보시키고자 하는 시도가 만족스럽지 못했던 것은 주로 2-3 nm의 짧은 거리에 걸쳐 30 또는 40의 농도 변화를 갖는 가파른 도펀트 프로파일의 얇은 접합부를 형성하는 것이 곤란했기 때문이었다. 또다른 문제는 소스/드레인 콘택트를 위한 규화 중에 발생하는 실리콘의 소비이다. 이 실리콘 소비는 접합부가 너무 얇을 때 전형적으로 발생한다.

이들 문제를 해결하기 위한 이와 다른 MOSFET 구조는 소스 및 드레인 영역을 형성하기 위해 선택적인 에피택셜 Si 성장을 필요로 하는 돌출된 소스/드레인 MOSFET 구조이다. 고품질의 단결정 Si를 성장시키기 위해, 종래 기술에 따른 Si 에피 공정은 도펀트 종(dopant species)이 이동하는 (900°C보다 높은) 고온 사전 세정 단계를 이용한다. 구조 내에서의 이 종의 이동은 임계 도펀트 프로파일에 영향을 미친다.

상기 단점을 피하기 위해 종래 기술에 채용된 또다른 구조는 리세스된 채널/게이트 MOSFET인데, 리세스된 채널은 열산화에 의해 규정된다. 열산화를 이용하게 되면 극히 중요한 채널 치수의 제어가 곤란해질 뿐 아니라, 새부리(bird-beak) 형태가 생성된다.

0.1  $\mu\text{m}$  및 그 미만의 게이트 치수에서 성공하기 위해서는, 전술한 모든 문제를 회피하는 신규 CMOS 기술을 개발할 필요가 있을 것이다.

### 발명이 이루고자하는 기술적 과제

본 발명의 첫번째 목적은 0.1  $\mu\text{m}$  또는 그 미만의 게이트 치수를 갖는 리세스된(recessed) 채널/게이트 MOSFET 구조를 제공하는 것이다.

본 발명의 다른 목적은 채널을 통해 소스 영역으로부터 드레인 영역으로의 완전한 접속을 달성하는 리세스된 채널/게이트 MOSFET 구조를 제공하는 것이다.

본 발명의 또다른 목적은 소스/드레인 영역이 반도체 표면 근처에서 더 두꺼운 접합부를 유지하면서도 얇은 게이트 산화물이 반도체 웨이퍼 내의 깊숙한 곳에 위치하는 리세스된 채널/게이트 MOSFET 구조를 제공하는 것이다.

이들 목적, 장점과 다른 목적. 장점은 리세스된 채널/게이트 MOSFET 구조를 제공함으로써 본 발명에 의해 달성되는데, MOSFET 구조는 리세스된 채널/게이트를 구비하며 소스/드레인 영역과 게이트 채널 영역 간의 접속을 제공하는 매립된 확장부를 구비한다. 구체적으로, 본 발명의 MOSFET 구조는 다수의 얇은 트렌치 격리 영역이 매립된 반도체 웨이퍼를 포함하되, 각각의 인접한 얇은 트렌치 격리 영역 사이에는 게이트 영역에 의해 서로 떨어져 있는 소스 및 드레인 영역을 포함하는 전계 효과 트랜지스터가 존재하는데, 게이트 영역은 산화물 스페이스 사이에 위치한 폴리 게이트 영역을 포함하되, 폴리 게이트 영역은 그 상부 표면 상에 금속 콘택트 영역을 갖고 반도체 웨이퍼 내에 매립된 그 하부 표면 상에 게이트 산화물 영역을 가지는데, 소스 및 드레인 영역은 산화물 스페이스 주위를 감싸고 게이트 산화물 영역 밑에 위치한 채널 영역에 대한 접속을 제공하는 확장부를 갖는다. 본 발명의 구조는 또한 소스/드레인 영역의 일부분 위에 형성된 질화물 이중 스페이스 및 금속 콘택트를 더 포함한다. 질화물 이중 스페이스는 패드 산화물 영역 상에 형성된다.

본 발명의 또다른 특징은 전술한 MOSFET 구조의 제조에 있어서 본 발명에 채용될 수 있는 다양한 공정에 관계된다. 본 발명의 한 공정에 있어서, 도펀트 측벽 스페이스가 산화물 스페이스로서 채용되고 후속 어닐링 단계가 도펀트 재료를 반도체 웨이퍼 내로 외방 확산을 달성하는데 이용된다. 외방 확산된 재료는 산화물 스페이스를 감싸는 확장부 또는 접합부를 형성한다. 구체적으로, 본 발명의 이 공정은

- ① 그 한 표면 상의 패드 산화물층과 상기 패드 산화물 층 상의 유전층을 가지는 반도체 웨이퍼 구조를 포함하는 구조를 제공하는 단계와,
- ② 측벽 및 바닥 면을 갖는 구멍을 상기 반도체 웨이퍼 내로 확장해 들어가도록 상기 구조 내에 형성하는 단계와,
- ③ 상기 구멍의 상기 측벽 상에 어닐링시 외방 확산될 수 있는 도펀트 소스재료를 갖는 산화물 스페이스 영역을 형성하는 단계와,
- ④ 상기 구멍의 상기 바닥 면 상에 게이트 산화물 영역을 성장시키는 단계와,
- ⑤ 상기 구멍 내와 상기 유전층 상에 다결정 실리콘의 부합층을 형성하는 단계와,

- ⑥ 상기 단계 ⑤에서 제공한 상기 구조를 연마하는 단계와,
  - ⑦ 상기 유전층을 제거하여 상기 패드 산화물층과 상기 산화물 스페이서 영역의 외부 측벽을 노출시키는 단계와,
  - ⑧ 상기 구멍에 인접한 상기 반도체 웨이퍼 내에 소스/드레인 영역을 형성하는 단계와,
  - ⑨ 상기 구조를 어닐링하여 상기 도펀트를 상기 산화물 스페이서 영역으로부터 상기 반도체 웨이퍼 내로 외방 확산시켜 상기 산화물 스페이서 영역을 감싸고 상기 게이트 산화물 하부에 위치한 채널 영역에 대한 접속을 제공하는 확장부를 형성하는 단계를 포함한다.
- 본 발명의 또다른 공정에 있어서는, 도펀트 재료가 산화물 스페이서를 형성하는 데 이용되지 않고 따라서 어닐링 단계가 필요하지 않다. 그 대신에, 확장부 또는 접합부가 세심한 구멍 형성에 의해 만들어진다. 구체적으로, 본 발명의 이 실시예는
- ① 그 한 표면상의 패드 산화물층과 상기 패드 산화물 층상의 유전층을 갖는 반도체 웨이퍼를 포함하되, 상기 반도체 웨이퍼가 반대쪽의 얇은 트렌치 격리 영역 사이에 위치하고 서로 떨어져 있는 소스 영역 및 드레인 영역을 구비하는 구조를 제공하는 단계와,
  - ② 구멍이 소스 영역 및 드레인 영역의 전체를 통하지 않고 그 일부 내로 확장하도록 상기 서로 떨어진 소스 및 드레인 영역 사이의 구조 내에 상기 구멍 — 상기 구멍은 측벽 및 바닥 면을 구비함 — 을 형성하는 단계와,
  - ③ 상기 구멍의 측벽 상에 산화물 스페이서 영역을 형성하는 단계와,
  - ④ 상기 구멍의 상기 바닥 면 상에 게이트 산화물 영역을 성장시키는 단계와,
  - ⑤ 상기 구멍 내와 상기 유전층 상에 다결정 실리콘의 부합층을 형성하는 단계와,
  - ⑥ 단계 ⑤에서 제공한 상기 구조를 연마하는 단계와,
  - ⑦ 상기 패드 산화물층의 일부와 상기 유전층을 제거하는 단계와,
  - ⑧ 상기 잔류 패드 산화물층 상에 질화물 이중 스페이서를 형성하는 단계를 포함한다.

#### 발명의 구성 및 작용

산화물 스페이서 밑에 확장부 또는 접합부를 구비하는 리세스된 채널/게이트 MOSFET 구조에 관계되는 본 발명에 대해 본 출원서에 첨부되는 도면을 참조하여 좀더 상세히 기술하고자 한다. 도면에서 동일한 요소 또는 해당 구성요소는 동일한 해당 참조 부호에 의해 지칭됨에 주목할 필요가 있다.

먼저 도 1 및 2를 참조하면, 본 발명의 두 MOSFET 구조(의 단면도)가 도시되어 있다. 보다 상세하게는, 도 1 및 2에 도시된 MOSFET 디바이스는 당업자에게 잘 알려져 있는 통상적인 기술을 이용하여 다수의, 이 경우에는 두 개의, 얇은 트렌치 격리(shallow trench isolation: STI) 영역(12)을 그 내에 형성시킨 반도체 기판 또는 웨이퍼(10)를 포함한다. 각각의 인접한 STI 영역(12) 사이에는 해당 전계 효과 트랜지스터의 게이트/채널 영역인 영역(18)에 의해 서로 떨어져 있는 소스 영역(14)과 드레인 영역(16)이 존재한다. 게이트/채널 영역(18)은 산화물 스페이서(22) 사이에 위치한 폴리 게이트 영역(20)을 포함한다. 외부 질화물 이중 스페이서(19)는 산화물 스페이서(22)에 인접하여 소스/드레인 영역 위의 패드 산화물층(34) 상에 위치한다. 폴리 게이트 영역(20)은 그 상부 표면(20A) 상의 금속 콘택트 영역(26)과 반도체 기판 또는 웨이퍼(10) 내부에 구현된 그 하부 표면(20B) 상의 게이트 산화물 영역(24)을 포함한다. 도면에 도시하지 않은 채널 영역은 게이트 산화물 영역 밑에 위치한다. 소스 및 드레인 영역은 산화물 스페이서(22) 주위를 감싸며 게이트 채널에 대한 접속을 제공하는 확장부 또는 접합부를 형성하는 영역(30)을 갖는다. 본 발명의 MOSFET 구조는 소스/드레인 영역 위에 형성된 금속 콘택트(32)를 더 포함한다.

이제 도 1에 도시한 MOSFET 구조를 형성하는 데 사용될 수 있는 공정에 대해 좀더 상세히 기술할 것이다. 보다 상세하게는, 도펀트 재료를 갖는 측벽 스페이서와 후속 어닐링 단계를 이용하는 본 발명의 공정을 먼저 서술한 다음, 도 2에 도시한 구조를 형성하는 데 사용될 수 있는 또다른 공정에 대해 설명할 것이다. 이에 대체적인 공정은 도펀트 산화물 측벽 스페이서를 사용하지 않기 때문에 어닐링 단계를 채용하지 않는다.

다시 본 발명의 제 1 공정으로 되돌아가면, 전술한 바와 같이 그 공정은 도펀트 재료를 갖는 산화물 측벽 스페이서와 후속 어닐링 단계를 이용한다. 도 1에 도시된 MOSFET 구조를 형성하기 위해 본 발명에 채용된 초기 구조를 도시하는 도 3a를 참조한다. 보다 상세하게는, 도 3a는 자체의 한 표면 상의 패드 산화물층(34)과 패드 산화물층(34) 위에 형성된 유전층(36)을 갖는 반도체 웨이퍼 또는 기판(10)을 포함하는 구조를 도시한다. 반도체 웨이퍼 또는 기판(10)은 당업자에게 잘 알려진 통상적인 STI 처리 기술을 이용하여 제조된 다수의 STI 영역(12)을 갖는다.

본 발명에 사용될 수 있는 적합한 반도체 웨이퍼 또는 기판은 실리콘(Si), Ge, SiGe, GaAs, InAs, InP, 기타의 모든 III/V족 화합물을 포함하는 임의의 반도체성 재료일 수 있지만, 여기에 한정되는 것은 아니다. 이들 반도체 재료 중에, Si으로 이루어진 반도체 웨이퍼 또는 기판(10)이 더 선호된다.

패드 산화물층(34) 및 유전층(36)은 해당 분야에 잘 알려진 통상적인 형성 공정을 이용하여 형성된다. 예를 들면, 화학 기상 증착, 플라즈마 증착 화학 기상 증착, 스퍼터링, 도금, 기타 형성 공정이 본 발명에 채용될 수 있다. 각 층의 두께가 본 발명에 중대한 영향을 주는 것은 아니지만, 패드 산화물층(34)

의 두께가 약 8 내지 약 14 nm이고 유전층(36)의 두께가 약 100 내지 약 200 nm인 것이 바람직하다.

패드 산화물층(34)은 유전층(36)이 반도체 웨이퍼 또는 기판(10) 상에 형성될 때 발생할 수 있는 모든 응력을 완화시키는 데 기여하는  $\text{SiO}_2$ ,  $\text{TiO}_2$ ,  $\text{Ta}_2\text{O}_5$ , 기타 유사한 산화물 함유 재료와 같은 재료로 구성될 수 있지만, 여기에 한정되는 것은 아니다.

유전층(36)은  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ , 폴리이미드, 다이아몬드, 다이아몬드형 탄소, 실리콘 폴리머, 파랄린(paralyne) 폴리머, 불화 다이아몬드형 탄소 등의 통상적인 유전 재료로 구성될 수 있지만, 여기에 한정되는 것은 아니다.

도 3a에 도시한 구조는 두 인접한 STI 영역 사이에 구멍(hole)을 형성하기 전에 평탄화 공정을 거칠 수도 있다. 당업자에게 알려진 반응성 이온 에칭(reactive ion etching: RIE) 또는 화학적-기계적 연마(chemical-mechanical polishing) 또는 그라인딩 등의 평탄화 방법이 본 발명에 채용될 수 있다.

도 3b에 도시되어 있는 본 발명의 다음 단계는 구멍(38)이 두 인접한 STI 영역(12) 사이에서 반도체 웨이퍼 또는 기판(10) 내로 확장해 들어가도록 구멍(38)을 형성하는 것을 포함한다. 구멍(38)은 통상적인 리소그래피와, RIE 또는 플라즈마 에칭과 같은 비등방성 에칭 기법을 이용하여 형성할 수 있다. 본 발명에 따른 구멍(38)을 형성하는데 있어서, 반도체 웨이퍼를 실질적으로 손상하지 않는 한 다른 공정도 또한 이용될 수 있다. 정확한 깊이가 본 발명에 중대한 영향을 미치는 것은 아니지만, 약 150 내지 약 300 nm의 깊이를 얻을 때까지 반도체 웨이퍼 내로의 에칭이 수행될 수 있다.

구조 내에 구멍(38)을 형성한 다음에 화학 기상 증착, 스퍼온 코팅, 딥 코팅, 플라즈마 기상 증착, 기타 유사한 형성 기법과 같은 통상적인 형성 공정을 이용하여 도펀트 소스 재료를 갖는 산화물 스페이서 재료(22)를 구멍(38)의 측벽 상에 형성한다. 측벽 단차를 보장하기 위해 방향성 RIE 단계가 본 발명에 채용될 수도 있다. 반도체 웨이퍼에 실질적으로 손상을 초래하지 않는 한 다른 공정도 또한 이용될 수 있다. 산화물 측벽 단차를 갖는 구조가 도 3c에 도시되어 있다.

산화물 스페이서(22)를 형성하는 데 적합한 재료는 도펀트 소스를 갖는 재료이다. 예를 들어, B, As, P과 같은 도펀트 원자가 어닐링에 의해 산화물 스페이서 영역으로부터 실리콘 웨이퍼 내로 외방 확산될 수 있기 때문에, 예를 들면, 붕소 규화 유리나 비소 규화 유리 또는 인 규화 유리가 채용될 수 있다.

본 발명의 다음 두 단계가 도 3d에 도시되어 있다. 보다 상세하게는, 구멍(38)의 측벽 상에 산화물 스페이서(22)를 형성한 후, 약 2 nm 또는 그 미만의 두께의 얇은 게이트 산화물을 형성할 수 있는 인 시튜(in-situ) 공정을 이용하여 게이트 산화물 영역(24)을 구멍의 바닥에 성장시킨다. 더 바람직하게는, 약 1 내지 약 3 nm의 두께로 게이트 산화물 영역을 성장시킨다.

서브-0.1  $\mu\text{m}$  MOSFET 구조를 위해 게이트 산화물의 두께가 비교적 얇아야 하기 때문에, 게이트 산화물 내로의 오염 물질의 유입에 주의해야 한다. 따라서, 상이한 도구들의 사용을 필요로 하는 종래 기술에 따른 성장 공정은 본 발명에 사용될 수 없다. 그 대신에, 얇은 게이트 산화물 영역은 다음과 같이 형성된다. 첫째로, 구멍 내에 노출된 반도체 재료를 진공 시스템 내에서 세정한다. 이어서 세정된 구조를 진공 또는 불활성 분위기 내에서 산화 챔버로 옮겨 당업자에게 잘 알려진 조건을 이용하여 게이트 산화물을 성장시킨다. 마지막 단계에서, 웨이퍼는 진공을 해제하기 전에 부합층(40), 산화물 스페이서(22), 유전층(36)을 덮는 게이트 산화물(24)을 피복할 수 있는 또다른 챔버로 옮겨진다. 본 발명에 따라 형성된 다결정 실리콘의 부합층(40)은 약 100 내지 약 300 nm의 두께를 지닌다.

그 다음에, 구조를 화학적 기계적 연마와 같은 통상적인 연마 기법을 이용하여 평탄화 시켜서 도 3e에 도시한 바와 같은 평탄한 구조를 만든다.

평탄화 후에, 유전층(36)을 고온 인산 에칭과 같은 선택성 습식 에칭 공정을 이용하여 제거하고 이어서 이온 주입에 의해 소스 영역(14) 및 드레인 영역(16)을 반도체 웨이퍼 또는 기판(10) 내에 형성한다. 소스 영역(14) 및 드레인 영역(16)을 형성하는 데 적합한 이온은 As, P(NMOS 용), B(PMOS 용)이다.

습식 에칭 공정 및 이온 주입 단계가 도 3f에 도시되어 있다. 약 15 내지 약 25 KeV의 에너지와 약  $1 \times 10^{15}$  내지 약  $1 \times 10^{16}$  원자/ $\text{cm}^3$ 의 이온 주입량으로서 동작할 수 있는 통상적인 이온 빔 주입 장치를 이용하여 이온 주입을 수행한다. 이온을 반도체 웨이퍼 또는 기판(10) 내의 약 100 내지 200 nm의 얇은 깊이로 주입할 수 있다.

이온 주입 후에, 산화물 스페이서(22) 내의 도펀트를 그 영역으로부터 반도체 웨이퍼 또는 기판(10) 내로 외방 확산시킨다는 조건하에서 구조를 어닐링 시켜, 산화물 스페이서(22)의 주위를 감싸며 소스/드레인 영역을 게이트 산화물 영역(24) 밑에 위치한 채널에 접속시키는 확산부 또는 접합부(30)를 형성한다.

보다 상세하게는, 어닐링 단계를 약 1 내지 약 10 초의 시간 주기 동안 약 800°C 내지 약 1000°C의 온도에서 헬륨 또는 질소 또는 아르곤과 같은 불활성 가스 분위기 내에서 수행한다. 어닐링을 설정된 온도에서 수행할 수도 있고, 여러 번의 램프(ramp) 사이클 및 소크(soak) 사이클을 이용하여 원하는 온도까지 점차로 증가시킬 수도 있다.

어닐링 후에, 질화물 이중 스페이서(19)를 통상적인 질화물 함유 재료 형성 방법에 의해 패드 산화물층(34) 상에 형성하고 이어서 전면 RIE 공정을 적용한다. 질화물 이중 스페이서를 형성하는 데 적합한 재료에는  $\text{TiN}$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{Ta}_2\text{N}$  등이 있다. 본 발명의 또다른 실시예에 있어서, 이들 단계를 소스/드레인 영역을 형성하기 전에 수행할 수도 있다.

본 발명의 다음 단계에서, 금속 콘택트, 즉 영역(32, 26)을 리소그래피, 에칭, 형성(도금, 화학 기상 증착, 기타 유사한 증착 공정)과 같은 통상적인 공정을 이용하여 구조 내에 형성한다. 금속 콘택트(32)를 형성하는 데 사용되는 적합한 재료에는 Al, Cu, W, Pt, Au, Pd, 기타 유사한 내화성 금속 등이 있지만, 여기에 한정되는 것은 아니다. 전술한 모든 구성요소를 갖는 최종 구조는 도 1에 도시되어 있다.

도 2의 리세스된 채널/게이트 MOSFET 구조를 제조하기 위해 본 발명에 채용될 수 있는 다른 공정이 도 4a 내지 4f에 도시되어 있다. 보다 상세하게는, 도 4에, 본 발명의 이 실시예에 사용될 수 있는 초기 구조가 도시되어 있다. 도 4a는, 도 4a의 구조가 STI 영역(12) 사이에 위치한 사전 주입된 소스 및 드레인 영역(14, 16)을 갖는 것을 제외하고는, 도 3a에서 도시된 요소와 동일한 요소를 갖는다는 점에 주목할 필요가 있다. 전술한 바와 같은 소스 및 드레인 영역을 형성하는 데 사용된 것과 동일한 이온 및 조건이 사전 주입 구조를 형성하는 데 채용될 수 있다.

다음에 도 4b에 도시되어 있는 바와 같이, 구멍(38)을 그것이 소스/드레인 영역의 전체가 아닌 일부만으로 확장되도록, 서로 떨어진 소스/드레인 영역 사이의 구조 내에 형성한다. 도 3b에 도시된 구멍의 형성에 사용된 조건이 또한 본 발명의 이 실시예에 채용될 수 있다.

이어서 산화물 스페이서 영역(22)을 전술한 조건을 이용하여 구멍의 측벽 상에 형성한다(도 4c 참조). 본 발명의 이 실시예에서 산화물 스페이서 재료가 반드시 도펀트 원자를 가질 필요는 없지만, 도펀트 원자를 갖는 산화물 스페이서를 사용하는 것이 배제되는 것은 아니라는 점에 주목할 필요가 있다. 본 발명의 이 실시예에서는, 저온 산화물이 산화물 스페이서 재료로서 채용된다.

도 4d는 구멍의 바닥 면 상에 게이트 산화물 영역(24)을 형성하는 것과 구멍(38) 내 및 유전층(36) 상에 다결정 실리콘의 부합층(40)을 형성하는 것을 포함하는 단계를 도시한다. 본 발명의 이 실시예의 이들 단계는 전술한 것들과 동일하다.

게이트 산화물을 형성하고 다결정 실리콘을 형성한 다음에, 도 4d에 도시된 구조를 평탄화 시켜 도 4e에 도시된 구조를 만든다. 그 다음, 유전층(36)을 제거하고(도 4f 참조), 이어서 패드 산화물층(34)을 패터닝하여 그 일부분을 제거한다. 그 후, 남아 있는 패드 산화물층(34) 상에 질화물 이중 스페이서(19)를 형성한다(도 2 참조). 본 발명의 이 실시예의 이들 단계는 도 3a 내지 3f와 관련하여 전술한 단계와 동일하다.

이상에서 특정된 실시예를 참조하여 본 발명을 도시하고 기술하였지만, 당업자라면 본 발명의 사상과 범주 내에서 이상에서 언급한 또는 다른 형태 및 세부 사항에 다양한 변형을 가할 수 있음을 이해할 수 있을 것이다.

#### 발명의 효과

본 발명에 따라 0.1  $\mu\text{m}$  또는 그 이하의 게이트 치수를 가지며 소스 영역으로부터 드레인 영역으로의 완전한 접속을 달성하며, 또한 소스/드레인 영역이 반도체 표면 근처에서 더 두꺼운 접합부를 유지하면서도 얇은 게이트 산화물이 반도체 웨이퍼 내의 깊숙한 곳에 위치하는 리세스된(recessed) 채널/게이트 MOSFET 구조 및 그 형성 방법을 제공할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

리세스된(recessed) 채널/게이트 MOSFET 구조체에 있어서,

다수의 얇은 트랜치 격리 영역이 매립된 반도체 웨이퍼를 포함하되,

각각의 인접한 얇은 트랜치 격리 영역 사이에는 길이가 0.1 $\mu\text{m}$  또는 그 미만인 게이트/채널 영역에 의해서로 분리된 소스 영역 및 드레인 영역을 포함하는 전계 효과 트랜지스터가 존재하고,

상기 게이트/채널 영역은 산화물 스페이서 사이에 위치한 폴리 게이트 영역을 포함하며,

상기 폴리 게이트 영역은 그 상부 표면 상에 금속 콘택트 영역과, 상기 반도체 웨이퍼 내에 매립된 그 하부 표면 상에 두께가 2nm 또는 그 미만인 게이트 산화물 영역을 구비하고,

상기 소스 영역 및 드레인 영역은 상기 산화물 스페이서 주위를 감싸며 상기 게이트 산화물 영역 밑에 위치한 채널 영역에 대한 접속을 제공하는 확장부를 갖는,

리세스된 채널/게이트 MOSFET 구조체.

##### 청구항 2

제 1 항에 있어서,

금속 콘택트가 상기 소스 영역 및 드레인 영역 상에 위치한

리세스된 채널/게이트 MOSFET 구조체.

##### 청구항 3

제 1 항에 있어서,

질화물 이중 스페이서가 패터닝된 패드 산화물층을 갖는 상기 소스 영역 및 드레인 영역의 일부분 위에 형성된

리세스된 채널/게이트 MOSFET 구조체.

청구항 4

제 1 항에 있어서,

상기 반도체 웨이퍼가 Si, Ge, Ga, As, InAs, InP, 기타의 III/V족 화합물로 구성된 그룹으로부터 선택된 반도체성 재료인

리세스된 채널/게이트 MOSFET 구조체.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23



삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

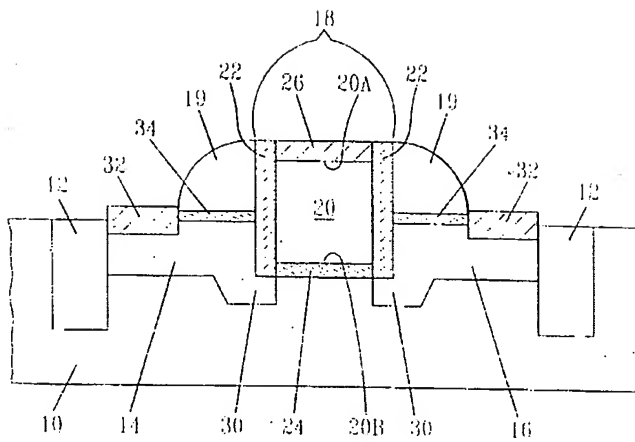
삭제

청구항 31

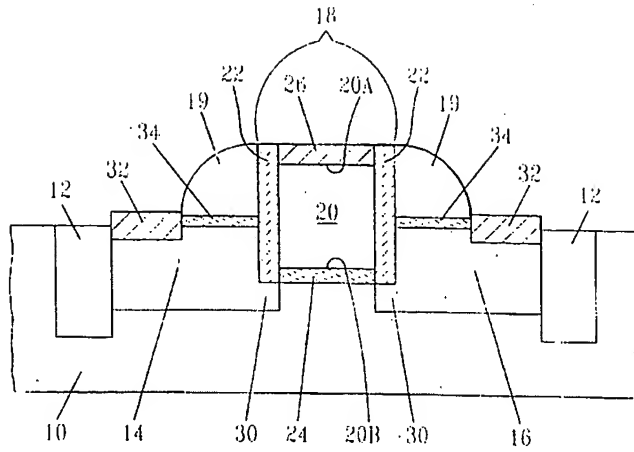
삭제

도면

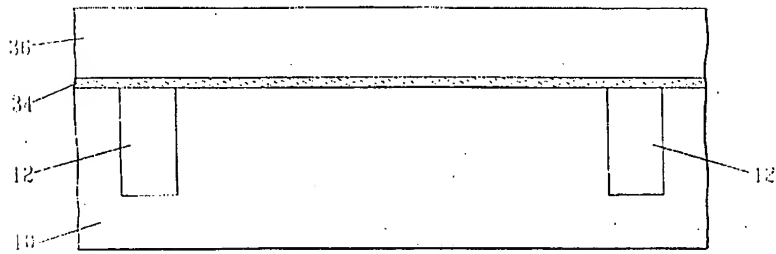
도면1



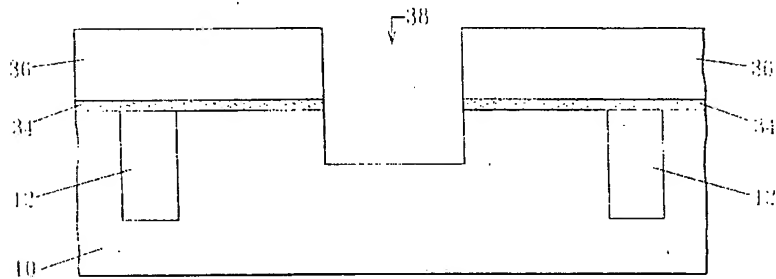
도면2



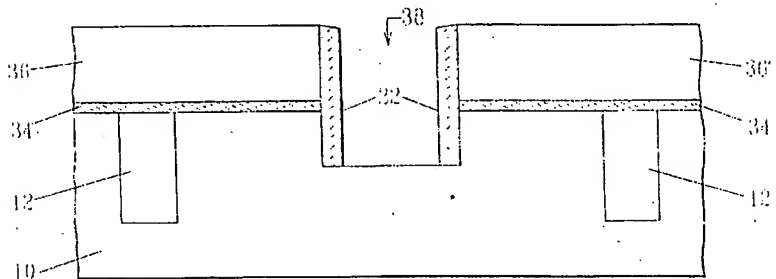
도면3a



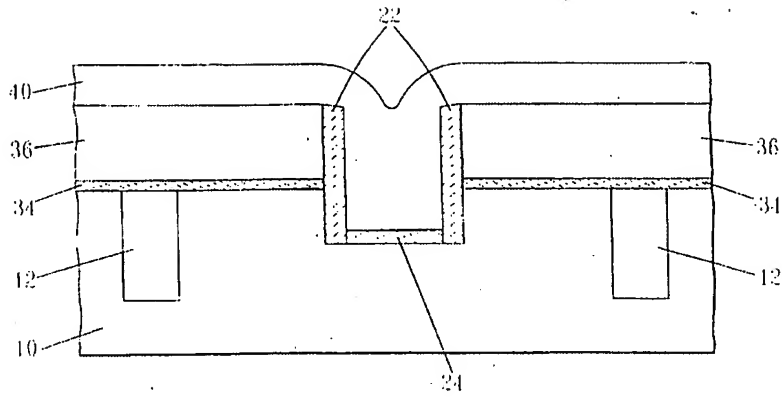
도면3b



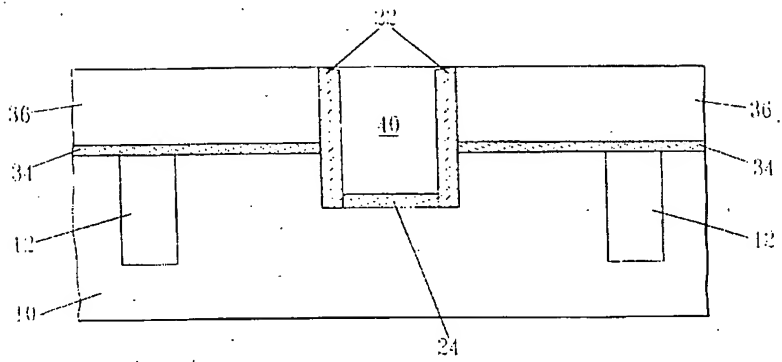
도면3c



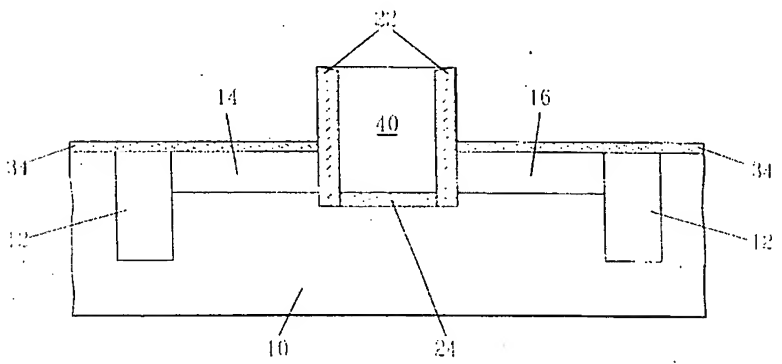
도면3d



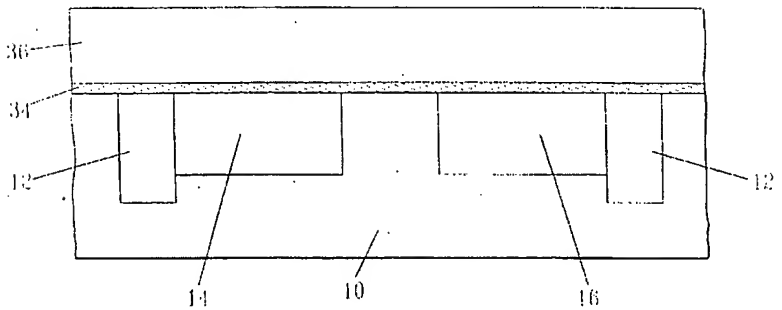
도면3e



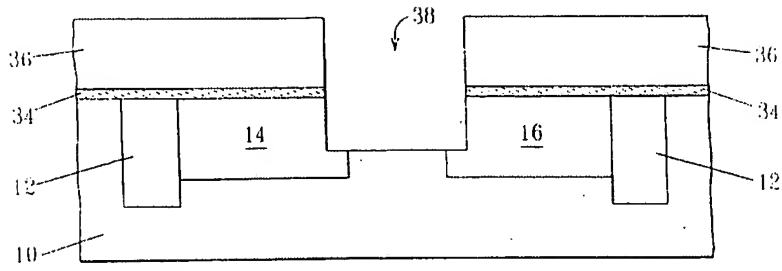
도면3f



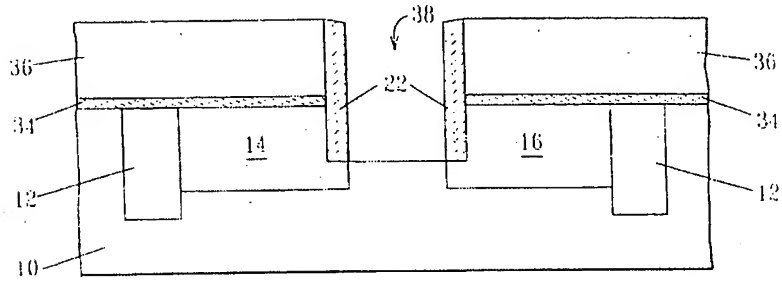
도면4a



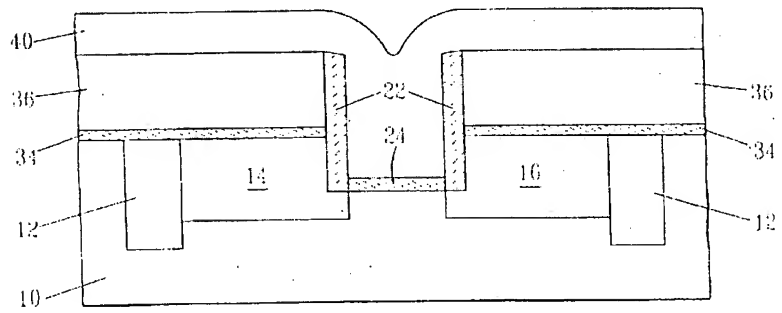
도면4b



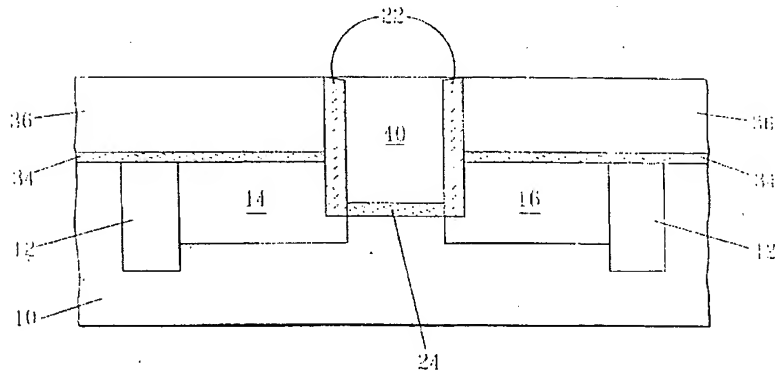
도면4c



도면4d



도면4e



도면4f

